

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288626  
(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H05K 3/32

(21)Application number : 07-093360

(71)Applicant : CANON INC

(22)Date of filing : 19.04.1995

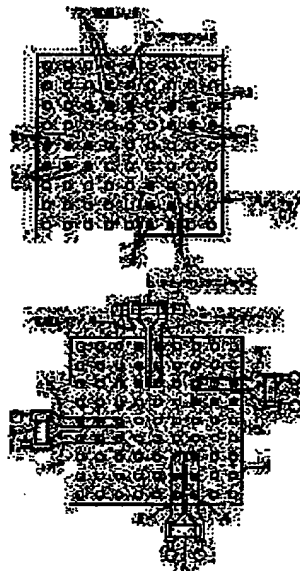
(72)Inventor : TAKEUCHI YASUSHI  
AISAKA TORU  
TERAYAMA YOSHIMI  
INAGAWA HIDEHO  
ARAKAWA TOMOYASU  
HIRAI KOJI  
OTAKI TORU

### (54) IC AND PRINTED WIRING BOARD

#### (57)Abstract:

**PURPOSE:** To lead out pad connecting patterns for power supply and for grounding potential to the outside of an IC in pairing states by pairing each pad for power supply with each pad for grounding potential and arranging the pads together with the outermost connecting pads of the IC.

**CONSTITUTION:** Sets of three power supply pads 2 and three grounding pads 3, in which the rows of the pads 2 and 3 are arranged in parallel, are arranged in series together with the outermost connecting pads of an IC 1. Power supply patterns 4 and grounding patterns 5 are respectively formed at the positions corresponding to the pads 2 and 3 of the IC on a wiring board. Since the pads 2 and 3 of the flip chip IC 1 are arranged together with the outermost connecting pads of the IC 1, power supply patterns 4 and grounding patterns 5 on the wiring board can be led out to the outside of the IC 1 in a pairing state.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**BEST AVAILABLE COPY**

[http://www19.lpd.ncipi.go.jp/PA1/result/detail/main/wAAAvpay.SDA408288626P\\_](http://www19.lpd.ncipi.go.jp/PA1/result/detail/main/wAAAvpay.SDA408288626P_) 2005/06/23

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288626

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl. <sup>6</sup>	特許記号	片内整理番号	P I	技術表示箇所
H 0 5 K 3/32		7128-4E	H 0 5 K 3/32	Z

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-83380

(22) 出願日 平成7年(1995)4月19日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 竹内 靖

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 池坂 徹

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 寺山 芳実

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 弁理士 若林 忠

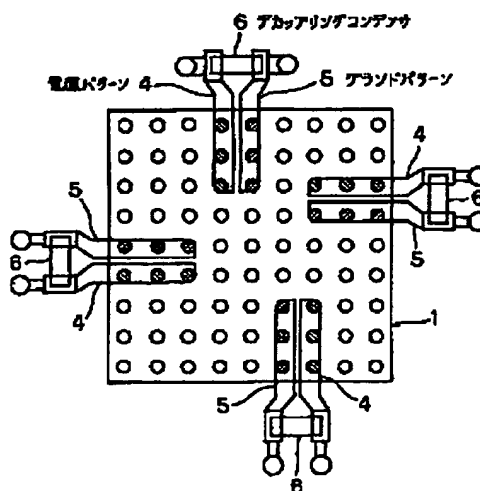
最終頁に続く

(54) 【発明の名称】 IC及びプリント配線基板

## (57) 【要約】

【目的】 パッケージの底面に複数の接続用パッドを持つICをプリント配線基板に実装した場合に、デカップリングコンデンサを効果的に配置してプリント配線基板からの電磁波放射ノイズを低減させる。

【構成】 パッケージの底面に、それぞれプリント配線基板と電気的に接続される、ICに電力を供給するための電源用パッドおよび接地電位用パッドを含む複数の接続パッドが形成され、電源用パッドおよび接地電位用パッドが対になって最も外側の接続パッドを含んで配置されるICが実装されたプリント配線基板であって、電源用パッドに接続するパターンと接地電位用パッドに接続するパターンとの間にデカップリングコンデンサが配置される構造とする。



(2)

特開平8-288526

1

## 【特許請求の範囲】

【請求項1】 パッケージの底面に、それぞれプリント配線基板と電気的に接続される、ICに電力を供給するための電源用パッドおよび接地電位用パッドを含む複数の接続パッドが形成されたICにおいて、前記電源用パッドおよび前記接地電位用パッドが対になって最も外側の接続パッドを含んで配置されることを特徴とするIC。

【請求項2】 パッケージの底面に、それぞれプリント配線基板と電気的に接続される、ICに電力を供給するための電源用パッドおよび接地電位用パッドを含む複数の接続パッドが形成され、前記電源用パッドおよび前記接地電位用パッドが対になって最も外側の接続パッドを含んで配置されるICが実装されたプリント配線基板であって、前記電源用パッドに接続するパターンと前記接地電位用パッドに接続するパターンとの間にデカップリングコンデンサが配置されることを特徴とするプリント配線基板。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ICの接続パッド配置およびそのICを実装するプリント配線基板に関するものである。

【0002】

【従来の技術】 ICのパッケージには、ICの高集積化に伴う接続端子の多ピン化や狭ピッチ化に対応するため、フリップチップ、BGA（ボール・グリッド・アレイ）、あるいはPGA（ピン・グリッド・アレイ）等のパッケージが使用されている。

【0003】 これらICのパッケージのうちフリップチップICの接続パッドの配置例を図5に、またそのICをプリント配線基板上に実装したときの様子を図8に示す。図5は従来のICの接続パッドの配置例を示す図であり、図8は図5に示したICをプリント配線基板上に実装したときの様子を示す透視図である。

【0004】 図5において、フリップチップIC101の底面には電気的な接続を行うための複数の接続パッドが格子状に配置されている。これらの接続パッドのうち、電源パッド102（右下がりの斜線で示す）はICに電力を供給するための直流電源用の接続パッドであり、グランドパッド103（左下がりの斜線で示す）は接地電位（以下グランドと称す）用の接続パッドである。

【0005】 使用者毎の固有の目的によって設計、製造されるカスタムICなどでは、電源パッド102およびグランドパッド103の位置はICの回路設計の容易性や出力パワファの許容電流値等を考慮して決定され、互いの位置関係については特に考慮されずに配置されていた。

2

【0006】 図6において、プリント配線基板上にはフリップチップIC101の各接続パッドの位置に対応するように導体膜からなるパッドがそれぞれ形成され、フリップチップIC101の各接続パッドとプリント配線基板上の各パッドとは、はんだ等によって電気的に接続されている。プリント配線基板上の各パッドには導体膜からなるパターンが接続されて任意の回路が構成されている。

【0007】 また、プリント配線基板上の電源パッド102に対応するパッドに接続されたパターンとグランドパッド103に対応するパッドに接続されたパターンとの間には、電磁波放射ノイズを低減するためのデカップリングコンデンサ108が挿入されている。

【0008】

【発明が解決しようとする課題】 しかしながら、上記したような従来のICを実装したプリント配線基板では、ICの電源パッドおよびグランドパッドの位置がIC側の都合だけであらかじめ決められていたため、パターンの配置によっては、デカップリングコンデンサの位置が電源パッドあるいはグランドパッドから遠くなることがあった。また、図6に示すような電源パッドやグランドパッドの位置では、他のパターンと干渉するために個々の電源パッドおよびグランドパッドに対してそれぞれデカップリングコンデンサを配置することが困難であった。【0009】 したがって、近年のCPUに代表されるようなICの動作の高速化が著しく進むなかでは、これらのICを実装したプリント配線基板からの電磁波放射ノイズが問題になってきている。

【0010】 一方、デカップリングコンデンサを効果的に動かせるために電源パッドやグランドパッドのすぐそばにデカップリングコンデンサを配置する場合、ICの実装面と反対側の面にデカップリングコンデンサを配置する方法がある。しかしながら、デカップリングコンデンサに接続する電源パターンおよびグランドパターンはスルーホールを使用してICの実装面の電源パターンおよびグランドパターンと接続しなければならず、スルーホールが占有する面積が増加して他のパターンの配置が難しくなるという問題があった。

【0011】 本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、パッケージの底面に複数の接続用パッドを持つICをプリント配線基板上に実装した場合に、デカップリングコンデンサを効果的に配置してプリント配線基板からの電磁波放射ノイズを低減させることを目的とする。

【0012】

【課題を解決するための手段】 上記目的を達成するため本発明のICは、パッケージの底面に、それぞれプリント配線基板と電気的に接続される、ICに電力を供給するための電源用パッドおよび接地電位用パッドを含む複数の接続パッドが形成されたICにおいて、前記電源用

(3)

特開平8-288626

3

パッドおよび前記接地電位用パッドが対になって最も外側の接続パッドを含んで配置されることを特徴とする。

【0013】また、本発明のICが実装されるプリント配線基板は、パッケージの底面に、それぞれプリント配線基板と電気的に接続される、ICに電力を供給するための電源用パッドおよび接地電位用パッドを含む複数の接続パッドが形成され、前記電源用パッドおよび前記接地電位用パッドが対になって最も外側の接続パッドを含んで配置されるICが実装されたプリント配線基板であって、前記電源用パッドに接続するパターンと前記接地電位用パッドに接続するパターンとの間にデカップリングコンデンサが配置されることを特徴とする。

【0014】

【作用】上記のように構成された本発明のICは、電源用パッドおよび接地電位用パッドがそれぞれ対になってICの最も外側の接続パッドを含んで配置されているため、本発明のプリント配線基板に実装すると、電源用パッドに接続するパターンと接地電位用パッドに接続するパターンとが対になってICの外側まで引き出すことが可能になる。したがって、他のパターンとの干渉がなくなつて、最も短く、かつ太いパターンを使用してICの近傍にデカップリングコンデンサを配置することが可能になる。

【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0016】（第1実施例）図1は本発明のICの第1実施例の接続パッド配置を示す図であり、図2は図1に示したICをプリント配線基板に実装したときの第1実施例の様子を示す透視図である。本実施例ではパッケージの底面に複数の接続端子が配置されるICのうち、フリップチップパッケージのICを例にして説明する。

【0017】図1において、フリップチップIC1の底面には電気的な接続を行うための複数の接続パッドが格子状に配置されている。これら接続パッドのうち、電源パッド2（右下がりの斜線で示す）はICに電力を供給するための電源用の接続パッドであり、グランドパッド3（左下がりの斜線で示す）は接地電位（以下グランドと称す）用の接続パッドである。

【0018】ここで、電源パッド2およびグランドパッド3は、それぞれ3つの接続パッドを1組としてICの最も外側の接続パッドを含むように直列に配置され、電源パッド2の列とグランドパッド3の列とが並んで配置されている。

【0019】一方、プリント配線基板上には、図2に示すようにフリップチップIC1の各接続パッドの位置に対応するように導体膜からなるパッドが形成され、フリップチップIC1の各接続パッドとプリント配線基板上のパッドとは、はんだ等によって電気的に接続される。

【0020】また、フリップチップIC1の電源パッド

4

2およびグランドパッド3に対応する位置にはそれぞれ電源パターン4およびグランドパターン5が形成され、フリップチップIC1の外側の位置には電源パターン4とグランドパターン5との間に電磁波放射ノイズを低減するためのデカップリングコンデンサ8が設けられている。

【0021】このような構成において、フリップチップIC1の電源パッド2およびグランドパッド3は図1に示すようにICの最も外側の接続パッドを含むように配置されているため、プリント配線基板上の電源パターン4とグランドパターン5とを対にしてフリップチップIC1の外側まで引き出すことができる。

【0022】したがって、電源パターン4やグランドパターン5は他のパターンの干渉を受けずに最も短く、かつ太いパターンとすることができ、電源パターン4とグランドパターン5との間に挿入されるデカップリングコンデンサ8はフリップチップIC1の近傍に配置することが可能になる。そして、すべての電源パッドおよびグランドパッドに対してICの近傍にデカップリングコンデンサ8を配置することが可能になり、基板からの電磁波放射ノイズが低減される。

【0023】さらに、デカップリングコンデンサ8から電源パッド2およびグランドパッド3までのパターンを太くできるので、パターンのインダクタンスが低くなり、基板からの電磁波放射ノイズがより低減される。

【0024】（第2実施例）図3は図1に示したICをプリント配線基板に実装したときの第2実施例の様子を示す透視図である。図4は図3に示したプリント配線基板の内層のパターンを示す図である。

【0025】本実施例ではプリント配線基板に多層基板を用い、図3に示すプリント配線基板の表層の電源パターン14と図4に示す内層の信号線層に形成した内層用電源パターン24とを電源用スルーホール7によって接続し、図3に示す表層のグランドパターン15と図4に示す内層の信号線層に形成した内層用グランドパターン25とをグランド用スルーホール8によって接続している。その他の構成は第1実施例と同様であるのでその説明は省略する。

【0026】このような構成にすることで、デカップリングコンデンサ18からフリップチップIC11の電源パッドやグランドパッドまでのパターンのインダクタンスがさらに低減されるため、プリント配線基板からの電磁波放射ノイズがさらに低減される。

【0027】なお、上記各実施例では電源パッドおよびグランドパッドはそれぞれ3つの接続パッドを1組として配置する例で説明しているが、接続パッドは3つを1組とする必要はなく、ICの最も外側の接続パッドを含んでいれば、1つの接続パッドでもよく、複数の接続パッドでもよい。

【0028】また、上記各実施例ではフリップチップパ

(4)

特開平8-288626

5

パッケージのICを例にして説明しているが、フリップチップに限らずICの底面に複数の接続端子が配置されるPGA（ピン・グリッド・アレイ）やBGA（ボール・グリッド・アレイ）についても上記各実施例は適用できる。

【0028】

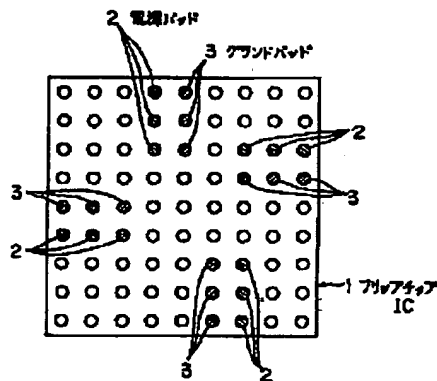
【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0030】電源用パッドおよび接地電位用パッドがそれぞれ対になってICの最も外側の接続パッドを含んで配置されているため、本発明のプリント配線基板に実装すると、電源用パッドに接続するパターンと接地電位用パッドに接続するパターンとが対になってICの外側まで引き出すことが可能になる。したがって、他のパターンとの干渉がなくなつて、最も短く、かつ太いパターンを使用してICの近傍にデカップリングコンデンサを配置することが可能になり、プリント配線基板からの電磁波放射ノイズが低減される。

【図面の簡単な説明】

【図1】本発明のICの第1実施例の接続パッドの配置を示す図である。

【図1】



6

\*【図2】図1に示したICをプリント配線基板に実装したときの第1実施例の様子を示す透視図である。

【図3】図1に示したICをプリント配線基板に実装したときの第2実施例の様子を示す透視図である。

【図4】図3に示したプリント配線基板の内層のパターンを示す図である。

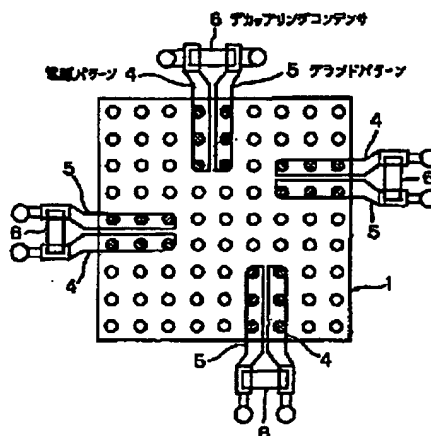
【図5】従来のICの接続パッドの配置例を示す透視図である。

【図6】図5に示したICをプリント配線基板上に実装したときの様子を示す透視図である。

【符号の説明】

- 1、11 フリップチップIC
- 2 電源パッド
- 3 グランドパッド
- 4、14 電源パターン
- 5、15 グランドパターン
- 6、16 デカップリングコンデンサ
- 7 電源用スルーホール
- 8 グランド用スルーホール
- 24 内層用電源パターン
- 25 内層用グランドパターン

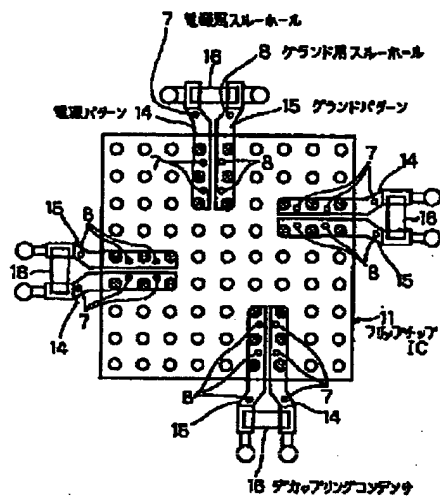
【図2】



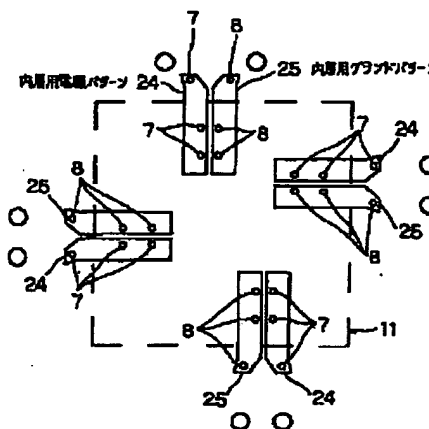
(5)

特開平8-288628

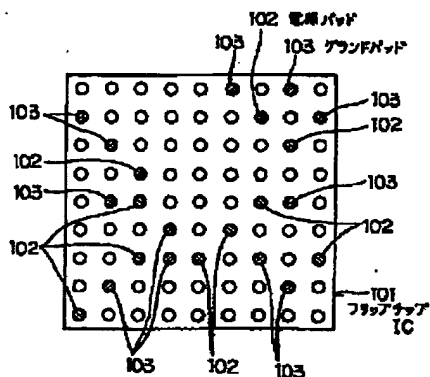
【図3】



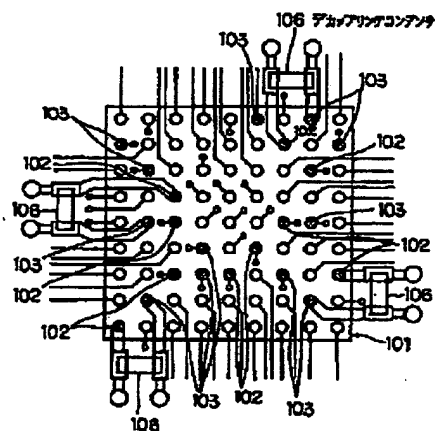
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 稲川 秀穂  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 荒川 智安  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 平井 宏治  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 大滝 徹  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内